

DERWENT-ACC-NO: 2003-540981

DERWENT-WEEK: 200362

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Metal-insulator-metal capacitor production for semiconductor devices, comprises forming first conductive lines, depositing second insulating layer and resist, removing exposed layers and resist, and depositing second conductive lines

INVENTOR: NING, X J

PATENT-ASSIGNEE: INFINEON TECHNOLOGIES AG[INFN] , INFINEON TECHNOLOGIES NORTH AMERICA CORP[INFN]

PRIORITY-DATA: 2001US-0977004 (October 12, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
US 6620701 B2	September 16, 2003	N/A	000	H01L 021/20
US 20030073282 A1	April 17, 2003	N/A	008	H01L 021/8242
DE 10247454 A1	May 28, 2003	N/A	000	H01L 021/822

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
US 6620701B2	N/A	2001US-0977004	October 12, 2001
US20030073282A1	N/A	2001US-0977004	October 12, 2001
DE 10247454A1	N/A	2002DE-1047454	October 11, 2002

INT-CL (IPC): H01L021/20, H01L021/822 , H01L021/8242 , H01L027/08

ABSTRACTED-PUB-NO: US20030073282A

BASIC-ABSTRACT:

NOVELTY - The production of a metal-insulator-metal capacitor comprises forming first conductive lines in a first insulating layer of wafer, depositing a second insulating layer and a resist, removing portions of resist, removing exposed portions of the two insulating layers, removing the remaining resist, and depositing a capacitor dielectric and second conductive lines.

DETAILED DESCRIPTION - The production of a metal-insulator-metal capacitor involves depositing a first insulating layer (14) over a workpiece (12) on a wafer, forming first conductive lines (15) within the first insulating layer and comprising a first conductive material (18, 29), depositing a second insulating layer, depositing a resist on the second insulating layer, patterning the resist with a pattern, removing portions of the resist to expose portions of the second insulating layer (22), removing at least the exposed second insulating layer leaving portions of the first conductive lines exposed, removing the remaining resist, depositing a capacitor dielectric (26) on the first conductive lines, and depositing a second conductive material on the capacitor dielectric to form second conductive lines (28).

USE - Used for the production of a metal -insulator-metal capacitor used in semiconductor devices for integrated circuits for electronic applications, including radios, televisions, and personal computing devices.

ADVANTAGE - The process gives a high efficiency metal-insulator-metal capacitor embedded in damascene back-end-of-line processes with minimum process complexity. It utilizes wafer area more efficiency than prior art horizontal capacitors. Only one additional mask level is required to implement the inventive method. Forming the first conductive lines in the first insulating layer using a damascene process results in a more accurate transfer of the pattern for the conductive lines. The formation of second conductive lines is self-aligned and formed between the first conductive lines, and does not require a separate etch process step.

DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view of the process.

Workpiece 12

First insulating layer 14

First conductive lines 15

Liner 16

First conductive material 18, 29

Cap layer 20

Second insulating layer 22

Capacitor dielectric 26

Second conductive lines 28

CHOSEN- Dwg.6/6
DRAWING:

TITLE- METAL INSULATE METAL CAPACITOR PRODUCE
TERMS: SEMICONDUCTOR DEVICE COMPRISE FORMING FIRST
CONDUCTING LINE DEPOSIT SECOND INSULATE LAYER
RESIST REMOVE EXPOSE LAYER RESIST DEPOSIT SECOND
CONDUCTING LINE

DERWENT-CLASS: L03 U11 U12 U13

CPI- L03-G04A; L04-C06B1; L04-C10A; L04-C12;
CODES:

EPI- U11-C04D; U11-C05B2; U11-C05D3; U11-C05G1B; U12-C02C;
CODES: U12-Q; U13-D01B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2003-146651

Non-CPI Secondary Accession Numbers: N2003-429076



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 102 47 454 A 1**

⑤1 Int. Cl.⁷:
H 01 L 21/822
H 01 L 27/08

⑦1 Aktenzeichen: 102 47 454.0
⑦2 Anmeldetag: 11. 10. 2002
⑦3 Offenlegungstag: 28. 5. 2003

DE 102 47 454 A 1

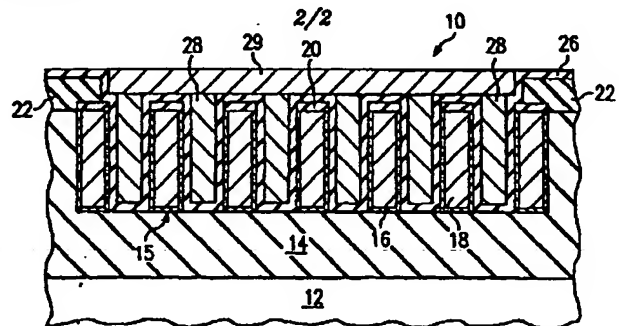
③0 Unionspriorität:
09/977004 12. 10. 2001 US
⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE
⑦4 Vertreter:
Epping, Hermann & Fischer GbR, 80339 München

⑦2 Erfinder:
Ning, Xian J., Mohegan Lake, N.Y., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Verfahren zur Herstellung von vertikalen/horizontalen MIMCaps

⑤1 Ein Verfahren für die Herstellung eines Metall-Isolator-Metall-Kondensators (MIMCap) (36) umfasst die Herstellung von ersten elektrischen Leitungen (15), einem Kondensatordielektrikum (26) und zweiten elektrischen Leitungen (28). Der MIMCap (36) enthält horizontale kapazitive Abschnitte (32) und vertikale kapazitive Abschnitte (34). Das Verfahren umfasst die folgenden Schritte: Bilden erster elektrischer Leitungen (15) in einer ersten Isolierschicht (14) eines Wafers (10), Abscheiden einer zweiten Isolierschicht (22), Abscheiden eines Resists, Entfernen von Abschnitten des Resists, Entfernen von freigelegten Abschnitten der zweiten Isolierschicht (22) und von Abschnitten der ersten Isolierschicht (14), Entfernen des verbleibenden Resists und dann Abscheiden eines Kondensatordielektrikums (26) und zweiter elektrischer Leitungen (28).



DE 102 47 454 A 1

QUERVERWEIS AUF VERWANDTE ANMELDUNGEN

[0001] Ausführungsformen der vorliegenden Erfindung sind mit der anmeldereigenen US-Patentanmeldung mit der Anmelde-nr. 09/742,918, eingereicht am 21. Dezember 2000 von Ning, mit dem Titel "Self-Aligned Double-sided Vertical MIMCap" [Selbstjustierter doppelseitiger vertikaler MIMCap] verwandt, die hiermit durch Bezugnahme aufgenommen wird.

TECHNISCHES GEBIET

[0002] Ausführungsformen der vorliegenden Erfindung betreffen allgemein das Gebiet der Herstellung von Halbleiterbauelementen und insbesondere Metall-Isolator-Metall-Kondensatoren (MIM-Cap = metal-insulator-metal capacitor).

STAND DER TECHNIK

[0003] Halbleiterbauelemente werden in großem Umfang für integrierte Schaltungen für elektronische Anwendungen einschließlich Radiogeräte, Fernsehgeräte, Personalcomputer und dergleichen verwendet. Solche integrierten Schaltungen enthalten typischerweise viele Transistoren, die in einem einkristallinen Silizium hergestellt sind. Üblicherweise sind auf einem einzigen Halbleiterprodukt Millionen von Halbleiterbauelementen vorhanden. Viele integrierte Schaltungen enthalten inzwischen mehrere Metallisierungsebenen für die Zwischenverbindungen.

[0004] Der Ablauf des Halbleiterherstellungsprozesses wird allgemein in zwei Zeitabschnitte unterteilt: vorderes Ende der Fertigungslinie (FEOL = front-end-of-line) und hinteres Ende der Fertigungslinie (BEOL = back-end-of-line). Am FEOL werden Prozesse mit höherer Temperatur ausgeführt, in denen die Störstellenimplantation, die Diffusion und die Bildung aktiver Komponenten wie etwa Transistoren auf einem Halbleitersubstrat eines Wafers erfolgen. Prozesse mit geringerer Temperatur werden am BEOL ausgeführt, welches, wovon man allgemein ausgeht, mit der Bildung der ersten Metallisierungsschicht auf dem Wafer beginnt.

[0005] Kondensatoren sind Elemente, die in Halbleiterbauelementen in großem Umfang verwendet werden, um elektrische Ladung zu speichern. Kondensatoren enthalten im Wesentlichen zwei elektrisch leitende Platten, die durch einen Isolator getrennt sind. Die Kapazität oder die von dem Kondensator für die jeweils angelegte Spannung gehaltene Ladungsmenge wird in Farad gemessen und hängt beispielsweise von der Fläche der Platten, dem Abstand zwischen ihnen und dem dielektrischen Wert des Isolators ab. Kondensatoren werden in Filtern, Analog/Digital-Umsetzern, Speicherbauelementen, Steueranwendungen und vielen anderen Typen von Halbleiterbauelementen verwendet.

[0006] Ein Typ von Kondensator ist der MIMCap, der häufig beispielsweise in Mischsignalbauelementen und Logikbauelementen zum Einsatz kommt. MIMCaps werden dafür verwendet, eine Ladung in unterschiedlichen Halbleiterbauelementen wie etwa in Produkten mit Mischsignal- und Analogverarbeitung zu speichern. MIMCaps erfordern typischerweise eine viel geringere Kapazität als z. B. Speicherkondensatoren mit tiefem Graben, die in dynamischen Direktzugriffsspeicherbauelementen (DRAM) verwendet werden. Ein MIMCap kann beispielsweise eine Kapazitätsanforderung von $1 \text{ fF}/\mu\text{m}^2$ haben.

[0007] In letzter Zeit ist die Nachfrage nach MIMCaps,

die in integrierte BEOL-Schaltungen eingebettet sind, gestiegen. MIM-Caps sind typischerweise horizontale MIM-Caps, die zwei Metallplatten enthalten, zwischen die ein Dielektrikum parallel zum Wafer geschichtet ist. Horizontale MIMCaps des Standes der Technik werden am BEOL gefertigt, indem die untere kapazitive Platte in der ersten oder nachfolgenden horizontalen Metallisierungsschicht eines Halbleiterwafers gebildet wird. Ein Kondensatordielektrikum wird auf der unteren kapazitiven Platte abgeschieden, wobei eine zweite Maske, eine Struktur und ein Ätzschritt erforderlich sind, um die obere kapazitive Platte zu bilden. Alternativ werden MIMCaps zwischen horizontalen Metallisierungsschichten am BEOL in zusätzlichen horizontalen Schichten gebildet, wobei jede Platte eine getrennte Struktur- und Ätzebene erfordert.

[0008] Ein horizontaler MIMCap benötigt auf einem Halbleiterwafer eine große Oberfläche. Ein horizontaler MIMCap ist ein großer flacher Kondensator, der parallel zu der Waferoberfläche angeordnet ist und eine große Chipfläche bedeckt; ferner bietet er keine hohe Flächenausnutzung. Da die Nachfrage nach Kapazität zunimmt, ist es wünschenswert, MIMCaps zu entwickeln, die die Chipfläche so effektiv wie möglich nutzen.

[0009] Ein vertikaler MIMCap, der in der Patentanmeldung mit der Anmelde-nr. 09/742,918 für "Self-Aligned Double-Sided Vertical MIMPCap" [Selbstjustierter doppelseitiger vertikaler MIMCap] beschrieben ist, wird hier durch Bezugnahme aufgenommen und offenbart eine vertikale MIMCap-Struktur sowie ein Verfahren, durch das die Chipfläche effektiver genutzt wird.

[0010] In der Technik wird ein Verfahren für die Herstellung eines MIMCaps benötigt, das im Vergleich zu MIMCap-Herstellungsprozessen des Standes der Technik die Waferfläche effektiver nutzt und die Prozesskomplexität minimiert.

KURZE DARSTELLUNG DER ERFINDUNG

[0011] Ausführungsformen der Erfindung umfassen Verfahren für die Herstellung von MIMCaps mit hoher Flächenausnutzung, die in Damascene-BEOL-Prozesse eingebettet sind, wobei diese Verfahren zu den üblicherweise verwendeten BEOL-Prozessen nur eine minimale Prozesskomplexität hinzufügen. Das erfindungsgemäße Verfahren umfasst die Herstellung eines MIMCap, der Platten sowohl mit vertikalen als auch mit horizontalen kapazitiven Bereichen aufweist, wobei der Herstellungsprozess nur einen Masken- und Lithographieschritt erfordert.

[0012] Es wird ein Verfahren für die Herstellung eines MIMCaps offenbart, das die folgenden Schritte umfasst: Bereitstellen eines Wafers, der ein zu bearbeitendes Stück aufweist, Abscheiden einer ersten Isolierschicht auf dem zu bearbeitenden Stück des Wafers und Bilden mehrerer erster elektrischer Leitungen in der ersten Isolierschicht, wobei die ersten elektrischen Leitungen ein erstes leitendes Material enthalten. Das Verfahren umfasst ferner das Abscheiden einer zweiten Isolierschicht, das Abscheiden eines Resists auf der zweiten Isolierschicht, das Strukturieren des Resists mit einer vorgegebenen Struktur und das Entfernen von Abschnitten des Resists, um Abschnitte der zweiten Isolierschicht freizulegen. Wenigstens die freigelegte zweite Isolierschicht und Abschnitte der ersten Isolierschicht werden entfernt, so dass Abschnitte der ersten elektrischen Leitungen freigelegt werden. Der verbleibende Resist wird entfernt, und auf den ersten elektrischen Leitungen wird ein Kondensatordielektrikum abgeschieden. Auf dem Kondensatordielektrikum wird ein zweites leitendes Material abgeschieden, um zweite elektrische Leitungen zu bilden.

[0013] Außerdem wird ein Verfahren für die Herstellung eines vertikalen/horizontalen MIMCaps offenbart, das die folgenden Schritte umfasst: Bereitstellen eines Wafers, der ein zu bearbeitendes Stück aufweist, Abscheiden einer ersten Isolierschicht auf dem zu bearbeitenden Stück des Wafers, Bilden mehrerer Gräben in der ersten Isolierschicht und Füllen der Gräben mit einem ersten leitenden Material, um erste elektrische Leitungen in der ersten Isolierschicht zu bilden. Dann wird eine Deckschicht auf den ersten elektrischen Leitungen und der ersten Isolierschicht abgeschieden, woraufhin eine zweite Isolierschicht auf der Deckschicht abgeschieden wird und auf der zweiten Isolierschicht ein Resist abgeschieden wird. Das Verfahren umfasst das Strukturieren des Resists mit einer vorgegebenen Struktur, das einen MIM-Cap definiert, das Entfernen von Abschnitten des Resists, um Abschnitte der zweiten Isolierschicht freizulegen, das Entfernen der freigelegten zweiten Isolierschicht, der Deckschicht und von Abschnitten der ersten Isolierschicht, so dass Abschnitte der ersten elektrischen Leitungen freigelegt werden, und das Entfernen des verbleibenden Resists. Auf den ersten elektrischen Leitungen wird ein Kondensatordielektrum abgeschieden, auf dem Kondensatordielektrum wird ein zweites leitendes Material abgeschieden, um zweite elektrische Leitungen zu bilden. Abschnitte der ersten elektrischen Leitungen werden miteinander gekoppelt, ebenso werden Abschnitte der zweiten elektrischen Leitungen miteinander gekoppelt, wobei die ersten bzw. zweiten elektrischen Leitungsabschnitte die Platten eines MIMCap umfassen, wobei die MIMCap-Platten horizontale und vertikale Abschnitte besitzen.

[0014] Zu den Vorteilen der Erfindung gehört die Bereitstellung eines Herstellungsverfahrens für einen vertikalen/horizontalen MIMCap, der die Waferfläche effektiver als herkömmliche horizontale MIMCaps nutzt. Der hier beschriebene vertikale/horizontale MIMCap kann beispielsweise fünfmal kleiner sein als horizontale MIMCaps mit der gleichen Kapazität. Es ist nur eine zusätzliche Maskenebene erforderlich, um Ausführungsformen des Verfahrens zu implementieren. Die Bildung der ersten elektrischen Leitungen in der ersten Isolierschicht unter Verwendung eines Damascene-Prozesses hat eine genauere Übertragung der Struktur für die elektrischen Leitungen zur Folge. Die Bildung der zweiten elektrischen Leitungen erfolgt selbstjustierend, da sie zwischen den ersten elektrischen Leitungen ausgebildet werden, weshalb sie keinen getrennten Ätzprozessschritt erfordern.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0015] Die oben genannten Merkmale der vorliegenden Erfindung werden durch Betrachtung der folgenden Beschreibungsinhalte in Verbindung mit den beiliegenden Zeichnungen besser verständlich; es zeigen

[0016] Fig. 1 bis 4 Querschnittsansichten einer Ausführungsform der vorliegenden Erfindung in verschiedenen Herstellungsstufen;

[0017] Fig. 5 eine Draufsicht auf erste elektrische Leitungen gemäß einer Ausführungsform der Erfindung; und

[0018] Fig. 6 eine Querschnittsansicht einer Ausführungsform der vorliegenden Erfindung.

[0019] In den verschiedenen Figuren bezeichnen entsprechende Bezugszeichen und Symbole entsprechende Teile, soweit nichts anderes angegeben ist. Die Figuren dienen der eindeutigen Erläuterung relevanter Aspekte der bevorzugten Ausführungsformen und sind nicht unbedingt maßstabsgerecht gezeichnet.

AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0020] Zunächst werden bevorzugte Ausführungsformen der vorliegenden Erfindung beschrieben, woraufhin eine Erläuterung einiger Vorteile der Herstellung eines vertikalen/horizontalen MIMCaps gemäß Ausführungsformen der Erfindung folgt.

[0021] Die Fig. 1 bis 4 zeigen Querschnittsansichten einer Ausführungsform der vorliegenden Erfindung in verschiedenen Herstellungsstufen. Ein Halbleiterwafer 10 weist ein zu bearbeitendes Stück 12 auf, das in Fig. 1 gezeigt ist und ein Halbleitersubstrat beispielsweise aus Silizium oder aus anderen Halbleitermaterialien, das beispielsweise von einer Isolierschicht bedeckt ist, enthält. Das zu bearbeitende Stück 12 kann außerdem weitere aktive Komponenten oder Schaltungen, die am FEOL ausgebildet werden und nicht gezeigt sind, enthalten. Das zu bearbeitende Stück 12 kann beispielsweise Siliziumoxid auf einem einkristallinen Silizium umfassen. Das zu bearbeitende Stück 12 kann ferner andere leitende Schichten oder andere Halbleiterelemente, z. B. Transistoren, Dioden usw., enthalten. Statt Silizium können beispielsweise Verbund-Halbleiter wie etwa GaAs, InP, Si/Ge, SiC verwendet werden.

[0022] Auf dem zu bearbeitenden Stück 12 wird eine erste Isolierschicht 14 abgeschieden. Die Isolierschicht 14 umfasst vorzugsweise eine Zwischenebenenendielektrumschicht (ILD = interlevel dielectric layer), z. B. das zweite Zwischenebenenendielektrum des Wafers, innerhalb dessen an anderer Stelle auf dem Wafer 10 auch elektrisch leitende Bahnen in einer Metallisierungsschicht ausgebildet sein können (nicht gezeigt). Die erste Isolierschicht 14 umfasst vorzugsweise Siliziumdioxid (SiO_2) und kann alternativ andere dielektrische Materialien wie etwa Materialien mit niedriger Dielektrizitätskonstante oder Materialien mit hoher Dielektrizitätskonstante umfassen.

[0023] Die erste Isolierschicht 14 wird strukturiert, geätzt und mit einem elektrisch leitenden Material gefüllt, um erste elektrische Leitungen 15 vorzugsweise in einem Damascene-Prozess auszubilden. Der Strukturierungs- und Füllprozess kann beispielsweise einen Einzel- oder Doppeldamascene-Prozess umfassen. Die erste Isolierschicht 14 kann lithographisch strukturiert und dort, wo erste elektrische Leitungen 15 gebildet werden sollen, mittels reaktivem Ionätzen (RIE = reactive ion etching) geätzt werden, um Gräben zu bilden. Die Gräben können beispielsweise eine Breite von $0,2\text{ }\mu\text{m}$ und eine Tiefe im Bereich von $0,4$ bis $0,6\text{ }\mu\text{m}$ besitzen.

[0024] Abhängig von dem verwendeten leitenden Material können die elektrischen Leitungen 15 eine Linerschicht 16 aufweisen. Falls beispielsweise die ersten elektrischen Leitungen 15 Kupfer umfassen, umfasst die Linerschicht 16 vorzugsweise einen Kupferliner, der auf der Waferoberfläche in den Gräben einschließlich entlang den Grabenseitenwänden abgeschieden wird, wobei der Liner 16 außerdem vorzugsweise eine auf der Kupferlinerschicht gebildete Keimschicht enthält, die dafür ausgelegt ist, die Abscheidung des ersten leitenden Materials 18 zu verbessern. Das erste leitende Material 18, das bei dieser Ausführungsform Kupfer umfasst, wird dann auf dem Wafer 10 und in den Gräben abgeschieden. Erste elektrische Leitungen 15 können Leitungen mit minimaler Rasterung (z. B. mit der kleinsten Strukturmerkmalsgröße) oder mit größerer Rasterung umfassen. Der Wafer 10 wird chemisch-mechanisch poliert (CMP = chemical-mechanical polishing), um das überschüssige Material 16/18 oberhalb der oberen Oberfläche der ersten Isolierschicht 14 zu entfernen.

[0025] Die ersten elektrischen Leitungen 15 umfassen ein

erstes leitendes Material 18, das vorzugsweise ein Metall wie etwa Kupfer und alternativ andere leitende Materialien wie etwa Al, TiN, Ti, W und Kombinationen hiervon oder andere leitende Materialien umfasst, die z. B. durch physikalische Abscheidung aus der Gasphase (PVD = physical vapour deposition) oder durch chemische Abscheidung aus der Gasphase (CVD = chemical vapour deposition) abgeschieden werden. Die ersten elektrischen Leitungen 15 können beispielsweise ein Teil einer M1- oder M2-Metallisierungsschicht sein.

[0026] Die Tiefe der ersten elektrischen Leitungen 15 kann die gleiche wie jene anderer Metallisierungsleitungen des Wafers 10 sein; alternativ kann die Tiefe der ersten elektrischen Leitungen 15 die Gesamtdicke eines Durchgangslochs und einer Verdrahtungsleitung, beispielsweise die Gesamtdicke der ersten Isolierschicht 14, sein. Die ersten elektrischen Leitungen 15 sind vorzugsweise um eine ausreichende Entfernung voneinander beabstandet, um die Bildung zweiter elektrischer Leitungen 28 (in Fig. 4), die in nachfolgenden Schritten gebildet werden und im Folgenden beschrieben werden, zu ermöglichen.

[0027] Auf der Isolierschicht 14 und den ersten elektrischen Leitungen 15 kann optional eine dünne dielektrische Deckschicht 20 abgeschieden werden. Die Deckschicht 20 umfasst vorzugsweise eine dünne Schicht aus Schutzmaterial, das eine Diffusion des für die ersten elektrischen Leitungen 15 verwendeten Metalls in die nachfolgend abgeschiedenen Isolierschichten, wie etwa die zweite Isolierschicht 22, verhindert. Falls beispielsweise für die ersten elektrischen Leitungen 15 als leitendes Material Kupfer verwendet wird, ist das Kupfer bestrebt, in darunter und darüber liegende Dielektrika zu diffundieren, sofern keine Deckschicht 20 verwendet wird. Da Kupfer leicht oxidiert, umfasst die Deckschicht 20 in dem Fall, in dem die ersten elektrischen Leitungen 15 Kupfer umfassen, vorzugsweise ein Material, das kein Oxid ist, um eine Oxidation der ersten elektrischen Leitungen 15 zu verhindern. Die Deckschicht 20 kann ein Nitrid wie etwa SiXNy enthalten, wobei x und y ganze Zahlen größer oder gleich 1 sind. Außerdem können die elektrischen Metallleitungen in einer Metallisierungsschicht des Halbleiterwafers gleichzeitig mit der Bildung nicht gezeigter erster elektrischer Leitungen 15 ausgebildet werden.

[0028] Dann wird eine zweite Isolierschicht 22 auf der Deckschicht 20 oder, falls eine solche Deckschicht 20 nicht verwendet wird, auf den elektrischen Leitungen 15 und der ersten Isolierschicht 14 abgeschieden, wie in Fig. 2 gezeigt ist. Vorzugsweise umfasst die zweite Isolierschicht 22 eine dünne Schicht aus einem Zwischenebenendielektrikum, z. B. einen Teil eines dritten Zwischenebenendielektrikums. Die zweite Isolierschicht 22 kann eine Dicke besitzen, die beispielsweise im Bereich von etwa 15 nm bis 200 nm liegt. Die zweite Isolierschicht 22 umfasst vorzugsweise SiO₂ und alternativ andere dielektrische Materialien wie etwa Materialien mit niedriger Dielektrizitätskonstante oder mit hoher Dielektrizitätskonstante. Die zweite Isolierschicht 22 kann das z. B. gleiche Material oder ein anderes Material als die erste Isolierschicht 14 enthalten.

[0029] Auf den Wafer 10 wird ein Resist 24 aufgebracht, um die zweite Isolierschicht 20 abzudecken. Der Resist 24 umfasst typischerweise beispielsweise einen organischen Polymer. Eine lithographische Struktur wird in der Weise ausgebildet, dass die MIMCap-Bereiche freiliegen und andere Bereiche durch den Resist 24 blockiert sind. Für die Strukturierung des Resists 24 mit einer vorgegebenen Struktur, das die Form, die Größe und die Position für einen vertikalen/horizontalen MIMCap definiert, kann eine (nicht gezeigte) lithographische Maske verwendet werden. Der Wa-

fer 10 wird beispielsweise mit UV-Licht belichtet und entwickelt, um unerwünschte Abschnitte des Resists 24 zu entfernen, indem entweder ein Prozess mit positiver Belichtung oder ein Prozess mit negativer Belichtung verwendet wird, wobei die in Fig. 2 gezeigte Struktur verbleibt, die Resistabschnitte 24 besitzt, die über Abschnitten der zweiten Isolierschicht 22 liegen, so dass Abschnitte der zweiten Isolierschicht freiliegen.

[0030] Der Wafer 10 wird geätzt, um wenigstens die freiliegenden Abschnitte der zweiten Isolierschicht 22, die Deckschicht 20 und Abschnitte der ersten Isolierschicht 14 zu entfernen, wodurch Abschnitte der ersten elektrischen Leitungen 15 freigelegt werden. Der Ätzprozess für die Bildung von Gräben 130 kann beispielsweise einen Prozess des reaktiven Ionenätzens (RIE = reactive ion etching) umfassen. Vorzugsweise werden in der ersten Isolierschicht 14 Gräben erzeugt, deren Tiefe in etwa der Höhe der ersten elektrischen Leitungen 15 entspricht. Vorzugsweise wird ein RIE-Ätzprozess verwendet, der für das für die ersten elektrischen Leitungen 15 verwendete Material selektiv ist, so dass die ersten elektrischen Leitungen 15 während des Ätzprozesses im Wesentlichen nicht beeinflusst werden. Eine RIE-Chemie, die vorzugsweise Cl₂, BCl₃, N₂, Ar oder Kombinationen hiervon umfasst, kann beispielsweise verwendet werden, wenn Aluminium oder TiN als leitende Materialien für die ersten elektrischen Leitungen 15 verwendet werden. Alternativ kann ein RIE-Gas 22 wie etwa SF₆ verwendet werden, wenn W für das leitende Material der ersten elektrischen Leitungen 15 verwendet wird. Alternativ können andere RIE-Gase für die einzige RIE-Ätzung der vorliegenden Erfindung verwendet werden, wie beispielsweise HF oder ein anderes geeignetes Gas.

[0031] Der verbliebene Resist 24 wird, wie in Fig. 3 gezeigt ist, entfernt, um den restlichen Resist 24 (siehe Fig. 2) auf der Oberfläche des Wafers 10 zu entfernen. Die ersten elektrischen Leitungen 15 bleiben zusammen mit den Gräben in der ersten Isolierschicht 14 beiderseits der elektrischen Leitungen 15 stehen, nachdem die Prozedur der Ablösens und Entfernens des Resists abgeschlossen ist.

[0032] Auf den ersten elektrischen Leitungen 15 wird ein Kondensatordielektrikum 26 abgeschieden, wie in Fig. 4 gezeigt ist. Das Kondensatordielektrikum 26 umfasst vorzugsweise ein Dielektrikum wie etwa einen Film, der Si₃N₄ oder Ta₂O₅ enthält, das z. B. durch plasmaverstärkte chemische Abscheidung aus der Gasphase (PECVD = plasma-enhanced chemical vapor deposition) abgeschieden wird. Alternativ kann ein Kondensatordielektrikum 26 andere dielektrische Materialien wie beispielsweise SiC, Silanoxid, Tetraethoxysilan (TEOS), Siliziumdioxid, Siliziumnitrid, Siliziumoxynitrid, Barium-Strontium-Titanat (BST) oder andere Isolatoren umfassen.

[0033] Vorzugsweise ist das Kondensatordielektrikum 26 verhältnismäßig dünn, beispielsweise 10 nm bis 200 nm dick, und konform. Das Kondensatordielektrikum 26 umfasst das Kondensatordielektrikum zwischen den Platten des vertikalen/horizontalen MIMCaps, die aus den ersten und zweiten elektrischen Leitungen 15 bzw. 28 bestehen.

[0034] Auf dem Kondensatordielektrikum 26 wird ein zweites leitendes Material abgeschieden, um, wie in Fig. 4 gezeigt ist, die zweiten elektrischen Leitungen 28 zu bilden. Das zweite leitende Material kann irgendein leitendes Material wie etwa ein Metall umfassen und umfasst vorzugsweise CVD-W oder CVD-Al). Alternativ kann das leitende Material TiN, Ti, Ta, TaN, TiW, Cu, Si oder verschiedene Kombinationen hiervon enthalten, die z. B. durch PVD (physikalische Gasphasenabscheidung), CVD oder Plattierung abgelagert werden. Der Wafer 10 wird einem CMP-Prozess unterworfen, um überschüssiges zweites leitendes

Material über der oberen Oberfläche der zweiten Isolierschicht 22 zu entfernen, wobei der CMP-Prozess vorzugsweise an der Oberfläche der zweiten Isolierschicht 22 anhält.

[0035] Vorzugsweise bleibt überschüssiges leitendes Material 29 auf den zweiten elektrischen Leitungen 28 zurück, so dass die zweiten elektrischen Leitungen 28 miteinander gekoppelt werden und eine obere kapazitive Platte der MIMCap-Anordnung 26 bilden. Alternativ kann überschüssiges leitendes Material 29 von der Oberfläche des Wafers 10 beispielsweise durch chemisch-mechanisches Polieren (CMP) oder einen anderen Ätzprozess entfernt werden, so dass die zweiten elektrischen Leitungen 28 in den Gräben 130 übrig bleiben. Die Deckschicht 126 kann als Ätz- oder CMP-Stoppschicht bei der Entfernung der zweiten leitenden Schicht 136 dienen. Die zweiten elektrischen Leitungen 28 werden dann in nachfolgenden Schichten miteinander gekoppelt, beispielsweise durch einen Ätzschritt und/oder durch Durchgangslöcher in oberen Metallisierungsschichten. Alternativ können die zweiten elektrischen Leitungen 28 an den Enden der Leitungen 28 in derselben Schicht wie die zweiten elektrischen Leitungen 28 miteinander gekoppelt werden.

[0036] In ähnlicher Weise sind die ersten elektrischen Leitungen 15 miteinander gekoppelt, um die andere Platte, z. B. die untere kapazitive Platte des vertikalen/horizontalen MIMCap 36, zu bilden. Bei einer Ausführungsform sind die ersten elektrischen Leitungen 15 an den Enden der Leitungen 15 innerhalb derselben Metallisierungsschicht wie die zweiten elektrischen Leitungen 15 miteinander gekoppelt, wie in Fig. 5 in der Draufsicht eines Wafers 10 gezeigt ist. Bei einer alternativen Ausführungsform sind die ersten elektrischen Leitungen 15 durch einen Abschnitt 30 einer Metallisierungsschicht in der Nähe der elektrischen Leitungen 15, z. B. die Metallisierungsschicht 1 (M1), miteinander gekoppelt, wie in Fig. 6 gezeigt ist. Bei diesem alternativen Lösungsansatz ist eine Metallplatte 30 oder Ätzleitung unter dem Bereich des MIMCap 36 angeordnet, wodurch die Kondensatorfläche und somit die Kapazität des MIMCap 36 erhöht werden. Vorteilhaft hat dies eine hohe Packungsdichte des vertikalen/horizontalen MIMCaps zur Folge, der in die gleiche Ebene wie eine BEOL-Verdrahtungsebene eingebaut und eingebettet ist.

[0037] Die Platten oder Ätzleitungen 29 und 30 können z. B. mit Anschlusspads auf einer äußeren Oberfläche des Wafers 10 (nicht gezeigt) oder mit anderen Ätzleitungen (ebenfalls nicht gezeigt) gekoppelt sein. Solche Anschlusspads können an anschließend oder im Voraus abgelagerte Metallisierungsschichten z. B. über Durchgangslöcher oberhalb oder unterhalb der Anschlusspads elektrisch gekoppelt werden.

[0038] Auf der zweiten Isolierschicht 22 kann eine dritte Isolierschicht 30 abgeschieden werden, wie in Fig. 6 gezeigt ist. Bei einer Ausführungsform kann die Gesamtdicke der zweiten und der dritten Isolierschicht 22 bzw. 30 gleich der gewünschten Dicke einer einzigen Schicht eines Zwischenbenendielektrikums sein.

[0039] Die Vielzahl der ersten und zweiten elektrischen Leitungen 15 bzw. 28 bilden miteinander gekoppelt einen vertikalen/horizontalen MIMCap 36 mit einer Kamm-Kamm-Struktur, wobei die ersten elektrischen Leitungen 15 und die zweiten elektrischen Leitungen 28 jeweils wie ein Kamm geformt sind und die beiden Kammflächen ineinandergreifen. Die ersten elektrischen Leitungen 15, die miteinander gekoppelt sind, dienen als eine untere kapazitive Platte, während die zweiten elektrischen Leitungen 28, die miteinander gekoppelt sind, als eine obere kapazitive Platte dienen. Zwischen den beiden Platten ist entlang den gesam-

ten oberen, unteren und seitlichen Oberflächen der elektrischen Leitungen 15/28 ein Kondensatordielektrikum 20 angeordnet. Der MIMCap 36 enthält horizontale kapazitive Bereiche 32 und vertikale kapazitive Bereiche 34, wie in Fig. 6 gezeigt ist. Da längs der kapazitiven Platten auf Grund der Kamm-Kamm-Anordnung des vertikalen/horizontalen MIMCaps 36 eine größere Oberfläche erzielt wird, wird gemäß Ausführungsformen der Erfindung eine höhere Kapazität für einen MIMCap 36 erzielt. Beispielsweise kann gemäß Ausführungsformen der Erfindung ein MIMCap mit einer Kapazität von etwa 0,2 bis 0,5 fF/cm² erzielt werden.

[0040] Die oben beschriebenen Ausführungsformen der Erfindung enthalten einen Resist 24, der einen positiven Resist umfasst. Alternativ kann der Resist 24 einen negativen Resist 24 umfassen. Obwohl in den Fig. 1 bis 4 und 6 nur ein vertikaler/horizontaler MIMCap 36 gezeigt ist, können außerdem in einer einzigen Isolierschicht 122 mehrere weitere MIMCaps 36 ausgebildet werden.

[0041] Obwohl in den Fig. 1 bis 4 und 6 Querschnitte des vertikalen MIMCaps der Erfindung gezeigt sind, sind die elektrischen Leitungen 15 bzw. 28 des MIMCaps vorzugsweise quadratisch oder rechteckig und können beispielsweise in Längsrichtung des Halbleiterwafers 10 über eine Längsausdehnung (nicht gezeigt) verlaufen, die der gewünschten Kapazität entspricht. Alternativ können die ersten und zweiten elektrischen Leitungen 15 bzw. 28, anstatt parallel zu verlaufen, andere Formen wie etwa eine U-Form, Kreisform oder Zickzackform besitzen.

[0042] Ausführungsformen der vorliegenden Erfindung bieten mehrere Vorteile gegenüber Prozessen des Standes der Technik für die Herstellung von MIMCaps. Es wird ein Verfahren für die Herstellung von MIMCaps mit hoher Flächenausnutzung, das in Damascene-BEOL-Prozesse eingebettet ist und gegenüber üblichen BEOL-Prozessen nur eine geringfügige Erhöhung der Prozesskomplexität zur Folge hat, offenbart. Es wird eine Leitungsanordnung mit minimaler Rasterung verwendet, um MIMCaps sowohl mit vertikalen als auch mit horizontalen kapazitiven Bereichen 34 bzw. 36 herzustellen, was zu einem MIMCap 36 mit hoher Packungsdichte führt. Die hier beschriebenen Ausführungsformen umfassen vereinfachte Prozesse, die nur eine Photomaskenebene mit geringeren Anforderungen an Auflösung und Überlagerungsgenauigkeit erfordern. In Ausführungsformen der Erfindung werden parallele, flache Plattenkondensatoren 32 mit einer Anordnung aus vertikalen Kondensatoren 34 verbunden, ohne dass die Chipfläche erhöht wird. Für die Implementierung von Ausführungsformen des Verfahrens ist nur eine zusätzliche Maskenebene erforderlich. Die Bildung der ersten elektrischen Leitungen 15 in der ersten Isolierschicht 14 unter Verwendung eines Damascene-Prozesses hat eine genauere Übertragung der Struktur für die ersten elektrischen Leitungen 15 zur Folge. Die Bildung der zweiten elektrischen Leitungen 28 erfolgt selbstjustierend, wobei die zweiten elektrischen Leitungen 28 zwischen den ersten elektrischen Leitungen 15 gebildet werden und somit kein separater Ätzprozessschritt für die zweiten elektrischen Leitungen 28 erforderlich ist.

[0043] Obwohl die Erfindung mit Bezug auf veranschaulichende Ausführungsformen beschrieben worden ist, soll diese Beschreibung die Erfindung in keiner Weise beschränken. Für den Fachmann werden viele verschiedene Abwandlungen hinsichtlich der Kombinationen der veranschaulichenden Ausführungsformen ebenso wie andere Ausführungsformen der Erfindung erkennbar, wenn er die Beschreibung liest. Weiterhin kann die Reihenfolge der Prozessschritte vom Durchschnittsfachmann umgeordnet werden, ohne den Schutzzumfang der Erfindung zu verlassen. Es

ist daher beabsichtigt, dass die beigefügten Ansprüche alle derartigen Abwandlungen oder Ausführungsformen umfassen. Darüber hinaus soll der Schutzzumfang der Erfindung nicht auf besondere Ausführungsformen des Prozesses, der Maschinen, der Herstellung, der Materialzusammensetzung, der Mittel, der Verfahren und der Schritte, die in der obigen Beschreibung erläutert worden sind, eingeschränkt sein. Daher sollen die beigefügten Ansprüche in ihrem Schutzzumfang solche Prozesse, Maschinen, Herstellungsarten, Materialzusammensetzungen, Mittel, Verfahren oder Schritte mit einschließen.

Patentansprüche

1. Verfahren zur Herstellung eines Metall-Isolator-Metall-Kondensators (MIMCap), das umfasst:
Bereitstellen eines Wafers, der ein zu bearbeitendes Stück aufweist;
Abscheiden einer ersten Isolierschicht auf dem zu bearbeitenden Stück;
Bilden einer Vielzahl von ersten elektrischen Leitungen in der ersten Isolierschicht, wobei die ersten elektrischen Leitungen ein erstes leitendes Material enthalten;
Abscheiden einer zweiten Isolierschicht;
Abscheiden eines Resists auf der zweiten Isolierschicht;
Strukturieren des Resists mit einer vorgegebenen Struktur;
Entfernen von Abschnitten des Resists, um Abschnitte der zweiten Isolierschicht freizulegen;
Entfernen wenigstens der freigelegten zweiten Isolierschicht und von Abschnitten der ersten Isolierschicht, so dass Abschnitte der ersten elektrischen Leitungen freigelegt werden;
Entfernen des verbleibenden Resists;
Abscheiden eines Kondensatordielektrikums auf den ersten elektrischen Leitungen; und
Abscheiden eines zweiten leitenden Materials auf dem Kondensatordielektrum, um zweite elektrische Leitungen zu bilden.
2. Verfahren nach Anspruch 1, bei dem Abschnitte der ersten elektrischen Leitungen, des Kondensatordielektrikums und der zweiten elektrischen Leitungen einen MIMCap bilden und bei dem Abschnitte der ersten und zweiten elektrischen Leitungen Platten des MIMCap umfassen, wobei die MIMCap-Platten horizontale und vertikale Abschnitte aufweisen.
3. Verfahren nach Anspruch 1 oder 2, weiterhin umfassend:
Koppeln von Abschnitten der ersten elektrischen Leitungen miteinander; und
Koppeln von Abschnitten der zweiten elektrischen Leitungen miteinander.
4. Verfahren nach einem der Ansprüche 1 bis 3, weiterhin umfassend:
Bilden von Verbindungsleitungen in einer Metallisierungsschicht, wenn die ersten elektrischen Leitungen des MIMCap gebildet werden.
5. Verfahren nach einem der Ansprüche 1 bis 4, weiterhin umfassend:
Abscheiden einer Deckschicht auf der ersten Isolierschicht und den ersten elektrischen Leitungen; und
Entfernen von Abschnitten der Deckschicht, wenn die freigelegte zweite und erste Isolierschicht entfernt werden.
6. Verfahren nach Anspruch 5, bei dem die Abscheidung einer Deckschicht das Abscheiden von Silizium-

nitrid umfasst.

7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem das Entfernen der freigelegten ersten und zweiten Isolierschicht einen Prozess des reaktiven Ionenätzens (RIE-Prozess) umfasst.
8. Verfahren nach Anspruch 7, bei dem das RIE einen Ätzprozess umfasst, der für das Material der ersten elektrischen Leitungen selektiv ist.
9. Verfahren nach einem der Ansprüche 1 bis 8, bei dem die Bildung mehrerer erster elektrischer Leitungen in der ersten Isolierschicht einen Doppel- oder Einfach-Damascene-Prozess umfasst.
10. Verfahren nach Anspruch 9, bei dem das erste leitende Material Kupfer umfasst.
11. Verfahren nach Anspruch 10, bei dem die Bildung der ersten elektrischen Leitungen umfasst:
Bilden mehrerer Gräben in der ersten Isolierschicht, wobei die erste Isolierschicht eine obere Oberfläche besitzt;
Abscheiden einer Kupferlinerschicht auf der ersten Isolierschicht und in den Gräben;
Bilden einer Kupfer-Keimschicht auf der Kupferlinerschicht;
Füllen der Gräben mit dem ersten leitenden Material; und
chemisch-mechanisches Polieren des Wafers, um die Kupferlinerschicht, die Kupferkeimschicht und das leitende Material von der oberen Oberfläche der ersten Isolierschicht zu entfernen.
12. Verfahren nach einem der Ansprüche 1 bis 11, bei dem die Bildung der zweiten elektrischen Leitungen die Bildung von Wolframleitungen umfasst.
13. Verfahren nach einem der Ansprüche 1 bis 12, bei dem die Bildung der ersten und der zweiten Isolierschicht die Bildung von Schichten mit einem Zwischenebenendielektrum umfasst.
14. Verfahren nach einem der Ansprüche 1 bis 13, weiterhin umfassend ein Abscheiden einer dritten Isolierschicht auf der zweiten Isolierschicht und auf den zweiten elektrischen Leitungen.
15. Verfahren nach einem der Ansprüche 1 bis 14, bei dem das Abscheiden des Kondensatordielektrikums das Abscheiden von Siliziumnitrid umfasst.
16. Verfahren zur Herstellung eines vertikalen/ horizontalen Metall-Isolator-Metall-Kondensators (MIMCap), das umfasst:
Bereitstellen eines Wafers, der ein zu bearbeitendes Stück aufweist;
Abscheiden einer ersten Isolierschicht auf dem zu bearbeitenden Stück;
Bilden einer Vielzahl von Gräben in der ersten Isolierschicht;
Füllen der Gräben mit einem ersten leitenden Material, um erste elektrische Leitungen in der ersten Isolierschicht zu bilden;
Abscheiden einer Deckschicht auf den ersten elektrischen Leitungen und der ersten Isolierschicht;
Abscheiden einer zweiten Isolierschicht auf der Deckschicht;
Abscheiden eines Resists auf der zweiten Isolierschicht;
Strukturieren des Resists mit einer vorgegebenen Struktur, die einen MIMCap definiert;
Entfernen von Abschnitten des Resists, um Abschnitte der zweiten Isolierschicht freizulegen;
Entfernen der freigelegten zweiten Isolierschicht, der Deckschicht und Abschnitten der ersten Isolierschicht, so dass Abschnitte der ersten elektrischen Leitungen

freigelegt werden;
 Entfernen des verbleibenden Resists;
 Abscheiden eines Kondensatordielektrikums auf den
 ersten elektrischen Leitungen;
 Abscheiden eines zweiten leitenden Materials auf dem 5
 Kondensatordielektrikum, um zweite elektrische Lei-
 tungen zu bilden;
 Koppeln von Abschnitten der ersten elektrischen Lei-
 tungen miteinander; und
 Koppeln von Abschnitten der zweiten elektrischen Lei- 10
 tungen miteinander, wobei Abschnitte der ersten und
 zweiten elektrischen Leitungen die Platten eines MIM-
 Cap umfassen und die MIMCap-Platten horizontale
 und vertikale Abschnitte aufweisen.
 17. Verfahren nach Anspruch 16, weiterhin nach dem 15
 Bilden der Gräben in der ersten Isolierschicht umfas-
 send:
 Abscheiden einer Metalllinerschicht auf der ersten Iso-
 lierschicht und in den Gräben; und
 Bilden einer Keimschicht auf der Metalllinerschicht. 20
 18. Verfahren nach Anspruch 17, weiterhin nach dem
 Füllen der Gräben mit einem ersten leitenden Material
 umfassend:
 chemisch-mechanisches Polieren des Wafers, um die 25
 Metalllinerschicht, die Keimschicht und das erste lei-
 tende Material von der oberen Oberfläche der ersten
 Isolierschicht zu entfernen.
 19. Verfahren nach Anspruch 17 oder 18, bei dem das
 Abscheiden einer Metalllinerschicht das Abscheiden 30
 einer Kupferlinerschicht umfasst; die Bildung einer
 Keimschicht die Bildung einer Kupferkeimschicht um-
 fasst; das Füllen der Gräben in dem ersten Isoliermate-
 rial das Füllen der Gräben mit einem kupferhaltigen
 Material umfasst; und die Bildung der zweiten elektri- 35
 schen Leitungen die Bildung von Wolframleitungen
 umfasst.
 20. Verfahren nach einem der Ansprüche 16 bis 19, bei
 dem das Entfernen der freigelegten ersten und zweiten
 Isolierschicht und der Deckschicht einen Prozess des 40
 reaktiven Ionenätzung (RIE-Prozess) umfasst.
 21. Verfahren nach einem der Ansprüche 16 bis 20, bei
 dem die Bildung der ersten und zweiten Isolierschicht
 die Bildung von Schichten aus einem Zwischenebenen-
 dielektrikum umfasst.
 22. Verfahren nach Anspruch 21, weiterhin umfassend 45
 eine Abscheidung einer dritten Isolierschicht auf der
 zweiten Isolierschicht und auf den zweiten elektrischen
 Leitungen.

Hierzu 2 Seite(n) Zeichnungen

50

55

60

65

- Leerseite -

THIS PAGE BLANK (USPTO)

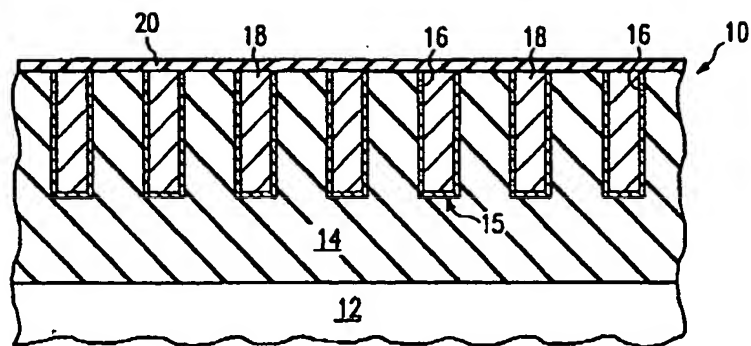


FIG. 1

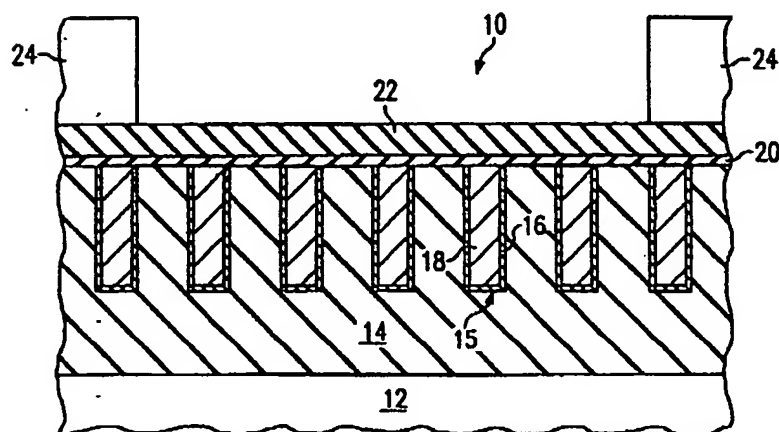


FIG. 2

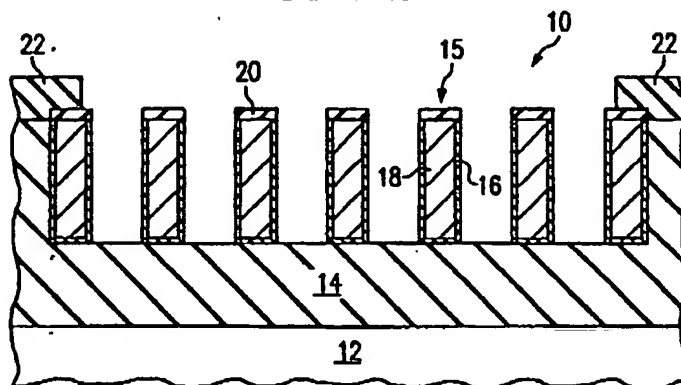


FIG. 3

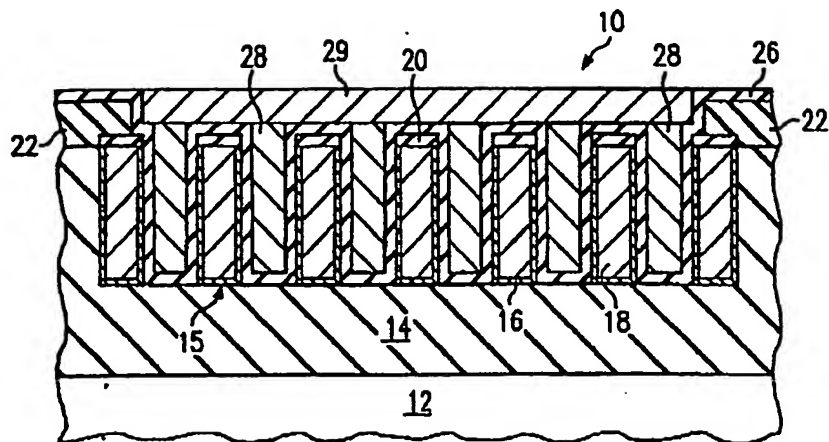


FIG. 4

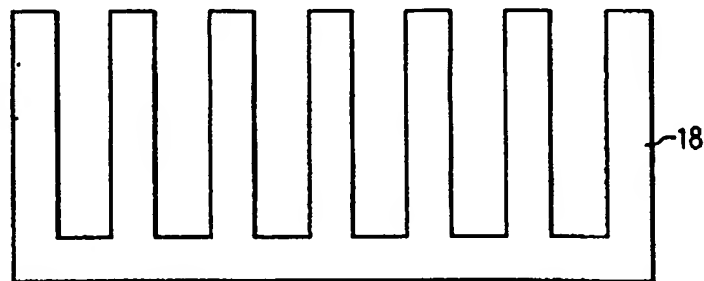


FIG. 5

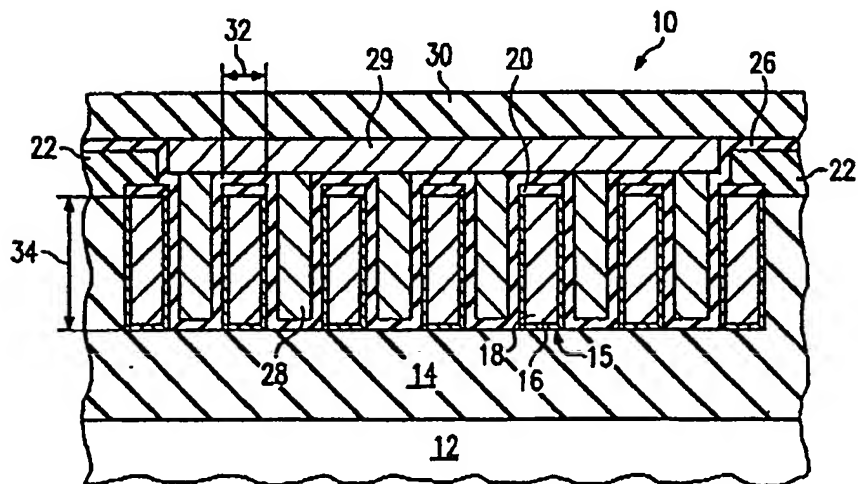


FIG. 6